

①日本国特許庁
公開特許公報

①特許出願公開
昭53—63820

| | | | | | |
|------------------------|------|-------------|----------|------|-----------------|
| ⑤Int. Cl. ² | 識別記号 | ⑥日本分類 | 庁内整理番号 | ④公開 | 昭和53年(1978)6月7日 |
| G 11 C 8/00 | | 97(7) C 0 | 6453--56 | 発明の数 | 1 |
| G 06 F 9/00 | | 97(7) F 0 | 6745--56 | 審査請求 | 未請求 |
| G 06 F 9/20 | | 97(7) F 112 | 6745--56 | | |

(全 5 頁)

④論理アドレス・実アドレス変換を用いるデータ処理方法

川崎市中原区上小田中1015番地
富士通株式会社内

⑦出願人 富士通株式会社
川崎市中原区上小田中1015番地

②特願 昭51—138768
②出願 昭51(1976)11月18日
③発明者 畑中一成

④代理人 弁理士 森田寛

明 細 書

1. 発明の名称 論理アドレス・実アドレス変換を用いるデータ処理方法

微とする論理アドレス・実アドレス変換を用いるデータ処理方法。

(2) 上記対応表の内容を無効化する処理に当って、上記制限された記憶領域に対して無効化処理を実行することを特徴とする特許請求の範囲オ(1)項記載の論理アドレス・実アドレス変換を用いるデータ処理方法。

2. 特許請求の範囲

(1) 与えられた元論理アドレスにくらべて大きい論理アドレスをもちかつ論理ページ・アドレスと実ページ・アドレスとの対応表にしたがって論理アドレス・実アドレス変換処理を行ないつつ処理を実行するデータ処理システムにおいて、上記元論理アドレスに所定個数の零ビットを附加した上記論理アドレスを対応せしめるに当って、該論理アドレスにもとずいて上記対応表をアクセスするために用いる対応表アクセス・ビット領域内に上記附加されるべき零ビットが1個または複数個位置するように対応せしめ、上記論理アドレスで与えられる処理を実行するに当って、上記対応表内の制限された記憶領域を利用して論理アドレス・実アドレス変換処理を行なうようにしたことを特

(3) 上記元論理アドレスと論理アドレスとの対応づけは、プログラム処理によって行なわれることを特徴とする特許請求の範囲オ(1)項またはオ(2)項記載の論理アドレス・実アドレス変換を用いるデータ処理方法。

(4) 上記元論理アドレスで与えられる処理はターゲット・マシンに対応した処理であり、上記データ処理システムはホスト・マシンであって、該ホスト・マシンが上記ターゲット・マシンをエミュレートして処理を実行することを特徴とする特許請求の範囲オ(1)項ないしオ(3)項のいずれか1項記載の論理アドレス・実アドレス変換を用いるデータ処理方法。

3. 発明の詳細な説明

本発明は、論理アドレス・実アドレス変換を用いるデータ処理方法、特に例えばターゲット・マシンがもつ論理アドレスにくらべて大きい論理アドレスをもつホスト・マシンによって上記ターゲット・マシンをエミュレートする如きデータ処理方法において、ホスト・マシンがTLBを利用して論理アドレス・実アドレス変換処理を行なうに当って、上記TLB内の制限された記憶領域を利用するようにし、例えばTLBの内容を無効化する処理を簡易化できるようにした論理アドレス・実アドレス変換を用いるデータ処理方法に関するものである。

本発明はそれに限られるものではないが、ターゲット・マシンをホスト・マシンによってエミュレートする如き処理の場合、一般にターゲット・マシンの論理アドレスにくらべてホスト・マシンの論理アドレスが小さい。このため、上記ターゲット・マシンの論理アドレス即ち元論理アドレスをホスト・マシンの論理アドレスに対応づけるべ

く、上記元論理アドレスの最上位ビットに所定個数の零を附加するようにされる。

この場合、上記元論理アドレスと論理アドレスとの対応づけは簡単であるが、次の如き問題点が存在する。即ち、上記ホスト・マシンは一般に仮想記憶方式を採用しているが、上記エミュレーション処理時にTLB(論理ページ・アドレスと実ページ・アドレスとの対応表)の内容を頻繁に無効化する命令が出る。その都度TLBの内容は無効化されることになるが、一般にTLBの各アドレスを順にアクセスしつつ無効化されることになるために無効化処理のためのオーバ・ヘッドが大となる。

本発明は、上記の如き問題点を生じないようにすることを目的としており、TLB内の制限された記憶領域を利用して変換処理を行なわせておき、無効化処理時には上記制限された記憶領域を無効化すれば足りるようにすることを目的としている。そしてそのため、本発明の論理アドレス・実アドレス変換を用いるデータ処理方法は与えられた元

論理アドレスにくらべて大きい論理アドレスをもちかつ論理ページ・アドレスと実ページ・アドレスとの対応表にしたがって論理アドレス・実アドレス変換処理を行ないつつ処理を実行するデータ処理システムにおいて、上記元論理アドレスに所定個数の零ビットを附加した上記論理アドレスに対応せしめるに当って、該論理アドレスにもとずいて上記対応表をアクセスするために用いる対応表アクセス・ビット領域内に上記附加されるべき零ビットが1個または複数個位置するよう対応せしめ、上記元論理アドレスで与えられる処理を実行するに当って、上記対応表内の制限された記憶領域を利用して論理アドレス・実アドレス変換処理を行なうようにしたことを特徴としている。以下図面を参照しつつ説明する。

オ1図は従来のデータ処理方法を説明する説明図、オ2図は本発明のデータ処理方法を説明する説明図を示す。

オ1図において、1は元論理アドレス、2は論理アドレス、3は論理ページ・アドレスと実ペー

ジ・アドレスとの対応表(TLB)、4はページ・ナンバ比較部、5は変換された実アドレス、6はTLBアクセス・アドレス、7は附加される零ビット、8はTLBアクセス・ビット領域を表わしている。

例えばビットA0ないしA18で与えられる19ビットの論理アドレスを24ビットで構成される論理アドレスに対応づけて処理を実行する場合、従来オ1図の如く、元論理アドレス1の上位に5ビット分の零即ち「00000」を附加して論理アドレス2を決定し、ホスト・マシンは該論理アドレス2にしたがって処理を実行するようにされる。

ホスト・マシンが上記論理アドレス2にしたがって処理を実行する場合、ホスト・マシンは例えば論理アドレスオ5ないし7ビットとオ9ビットないしオ12ビットとによってTLBアクセス・アドレス6が形成され、TLB3をアクセスするようにされる。即ち論理アドレス2を実アドレス5に変換して図示しない記憶装置をアクセスする

に当ってTLB3をアクセスするようにされる。

TLB3内のTLBアクセス・アドレス6で指定される番地内には、論理アドレス0ないし4ビットと8ビットとに相当するページ・ナンバ(論理ページ・アドレス)が当該ページ・ナンバに対応する実ページ・アドレスと対にされて格納されている。該対を以下においてページ・アドレス対応と呼ぶ。

ホスト・マシンが論理アドレス2に対応する実アドレス5を決定するに当っては、次のように行なわれる。即ち、

- 1) 与えられた論理アドレス2のビットで構成されるTLBアクセス・アドレス6によって、TLB3がアクセスされる。
- 2) これによってTLB3から上述の如くページ・アドレス対応が読出される。
- 3) 読出されたページ・アドレス対応のうちのページ・ナンバはページ・ナンバ比較回路4に導びかれ、上記与えられた論理アドレス2で構成されるページ・ナンバ(0ないし4ビット

- 6) 上記処理5)によって得られた実アドレス5によって図示しない記憶装置がアクセスされる。

ホスト・マシンが与えられた論理アドレスを実アドレスに変換するに当って、上記の如き処理が実行されるが、特にエミュレート処理を行なう場合には高い頻度で該処理の途中にTLB3の内容を無効化し、以後の処理に当っては主記憶装置(図示せず)から改めてページ・アドレス対応をTLB内に転送することが行なわれる。該無効化処理に当っては、TLB消去命令時にTLB3内のすべてのページ・アドレス対応中のバリッド・ビットVをインバリッドしておき、後刻当該ページ・アドレス対応がアクセスされるとき比較回路部4が不一致を発し、新しいページ・アドレス対応をTLB上にもってくるようにされる。この場合にも、TLB3内のすべてのページ・アドレス対応のバリッド・ビットVをインバリッドしてしまふまで、ホスト・マシンは新しい処理を実行することはできないために、上記インバリッド処理を高速で行なうことが望まれる。しかし、上記イ

と8ビットとで構成される)と比較される。そしてもしも不一致であれば、比較部4は不一致出力を発し、与えられた論理アドレス2を包含するページ・ナンバに当るページ・アドレス対応がTLB3内に存在していないか、あるいは存在していても当該対応内に用意されているバリッド・ビットVがインバリッド状態を指示していることを意味する。

- 4) 該不一致が発せられたときには、周知の如く、正当なページ・アドレス対応を図示しない主記憶装置からTLB3内に転送するようにされる。
- 5) 上記比較部4が一致出力を発したとき、上記2)の処理によって読出されたページ・アドレス対応が正当なものであることを意味している。このため、該読出されたページ・アドレス対応のうちの実ページ・アドレスが実アドレス5の上位ビットにセットされる。そして実アドレス5の下位ビットに対し、与えられた論理アドレス2内のページ内アドレス(013ビットないし23ビット)がセットされる。

ンバリッド処理に当って、ホスト・マシンは一般に、TLB3内の番地を1つ1つアクセスしてゆきバリッド・ビットVをインバリッドしてゆくようにされる。

上記の点を考慮して図1図を参照すると、TLBアクセス・アドレス6は、元論理アドレス1で見ると元論理アドレス1内のビットA0、A1、A2、A3、A4、A5、A6、A7に当っており、TLB3内のすべての番地(0番地ないし127番地)に対応していることが判る。このことから、上記TLB3の内容を無効化するに当っては、TLB3のすべての番地をアクセスしなければならない。しかし、それにも拘らず、TLB3内に格納されるページ・ナンバは論理アドレス2の0ビットないし4ビットと8ビットに対応していることから、ページ・ナンバを表わすビットについて8ビットのみが有効内容をもっており他はすべて「0」をもっていることが知れる。即ち換言すると、TLB3内には単に2倍分のページ・アドレス対応が存在しているだけであ

るに拘らず、上記インバリッド処理に当っては T L B 3 内のオ 0 番地ないしオ 1 2 7 番地を順にアクセスしなければならない形となっている。

オ 2 図は上記の不都合を解決する本発明の一実施例構成を示す。図中の符号 1 ないし 8 はオ 1 図に対応し、9 は T L B 3 内の制限された記憶領域を表わしている。

本発明の場合、元論理アドレス 1 を論理アドレス 2 に対応づけるに当って、附加される零ビット 7 を T L B アクセス・ビット領域 8 内に置くようにされる。オ 2 図図示の場合、元論理アドレス 1 におけるビット A 0 ないし A 3 を論理アドレス 2 におけるオ 9 ビットないしオ 1 2 ビットに、ビット A 4 ないし A 7 を論理アドレス 2 におけるオ 0 ビットないしオ 3 ビットに、附加される零ビット 7 を論理アドレス 2 におけるオ 4 ビットないしオ 8 ビットに対応づけるようにされる。これらの処理は、例えばマイクロプログラムによって実行せしめるようにすれば簡単に実行できる。

このため、T L B アクセス・アドレス 6 は図示

の如く「0 0 0 A 0 , A 1 , A 2 , A 3」の形をとることになる。即ち、T L B 3 の記憶領域は図示の場合オ 0 番地ないしオ 1 5 番地のみであるかの如くみなされることとなる。

ホスト・マシンが上記対応づけられた論理アドレス 2 にもとずいて実アドレス 5 を決定する処理を行なう態様は、オ 1 図図示の場合と全く同じと考えてよい。しかし、上述の如き T L B 3 の内容を無効化する処理に当っては、T L B 3 のオ 0 番地ないしオ 1 5 番地に対してアクセスを行なえば足りる。

以上説明した如く、本発明によれば上記エミュレーション処理を行なう如き場合、T L B 3 の番地が見掛け上制限された記憶領域のみをもつようにみなされることになる。そのため、T L B 3 の内容を無効化する処理を行なう場合、きわめて簡単になる。また、元論理アドレス 1 に対応して、使用される T L B 3 の記憶領域 9 が所定の範囲内に限られる。このため、複数個の元論理アドレスに対する処理を、T L B 3 上で互に独立せしめつ

つ並行して実行できる。

なお、上記の説明においてエミュレーション処理を例に挙げて説明したが、本発明はそれに限られるものではない。

4. 図面の簡単な説明

オ 1 図は従来のデータ処理方法を説明する説明図、オ 2 図は本発明のデータ処理方法を説明する説明図を示す。

図中 1 は元論理アドレス、2 は論理アドレス、3 は対応表 (T L B)、4 はページ・ナンバ比較部、5 は実アドレス、6 は T L B アクセス・ビット領域、7 は附加される零ビット、8 は T L B アクセス・ビット領域、9 は制限された記憶領域を表わす。

特許出願人 富士通株式会社
代理人弁理士 森 田 寛

